

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

BABA et al

Atty. Ref.: 900-421

Serial No. (to be assigned)

Group:

Filed: March 8, 2002

Examiner:

For: SEMICONDUCTOR DEVICE

* * * * *

March 8, 2002

Assistant Commissioner for Patents
Washington, DC 20231



5/ Priority
Paper
5/28/02
VB

SUBMISSION OF PRIORITY DOCUMENTS

Sir:

It is respectfully requested that this application be given the benefit of the foreign filing date under the provisions of 35 U.S.C. §119 of the following, a certified copy of which is submitted herewith:

<u>Application No.</u>	<u>Country of Origin</u>	<u>Filed</u>
2001-64950	Japan	8 March 2002

Respectfully submitted,

NIXON & VANDERHYE P.C.

By: _____

H. Warren Burnam, Jr.

Reg. No. 29,366

HWB:maw
1100 North Glebe Road, 8th Floor
Arlington, VA 22201-4714
Telephone: (703) 816-4000
Facsimile: (703) 816-4100

MAR. 8, '02

日 本 国 特 許 庁

JAPAN PATENT OFFICE

1017 U.S. PRO
10/092729
03/08/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2001年 3月 8日

出 願 番 号

Application Number: 特願2001-064950

[ST.10/C]:

[JP 2001-064950]

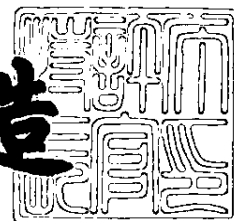
出 願 人

Applicant(s): シャープ株式会社

2002年 2月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3003800

【書類名】 特許願

【整理番号】 01J00170

【提出日】 平成13年 3月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78
H01L 21/76

【発明の名称】 半導体装置

【請求項の数】 7

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株
 式会社内

 【氏名】 馬場 智也

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株
 式会社内

 【氏名】 藤井 克正

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株
 式会社内

 【氏名】 武藤 彰良

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100065248

 【弁理士】

 【氏名又は名称】 野河 信太郎

 【電話番号】 06-6365-0718

【手数料の表示】

【予納台帳番号】 014203

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003084

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 シリコンゲルマニウム膜、炭素添加シリコン膜及びシリコン膜がこの順に形成された半導体基板上に、ゲート酸化膜を介してゲート電極が形成された半導体装置であって、前記炭素添加シリコン膜がチャネル領域として機能することを特徴とする n チャネル型半導体装置。

【請求項 2】 シリコンゲルマニウム膜、炭素添加シリコン膜及びシリコン膜がこの順に形成された半導体基板上に、ゲート酸化膜を介してゲート電極が形成された半導体装置であって、前記シリコンゲルマニウム膜がチャネル領域として機能することを特徴とする p チャネル型半導体装置。

【請求項 3】 シリコンゲルマニウム膜が、10 から 40 a t o m % のゲルマニウムを含有し、5 から 50 n m の膜厚を有する請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 炭素添加シリコン膜が、0.1 から 1 a t o m % の炭素を含有し、5 から 50 n m の膜厚を有する請求項 1 ～ 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】 半導体基板が、シリコン単結晶基板である請求項 1 ～ 4 のいずれか 1 つに記載の半導体装置。

【請求項 6】 半導体基板が、S O I 基板である請求項 1 ～ 4 のいずれか 1 つに記載の半導体装置。

【請求項 7】 同一半導体基板上に、請求項 1、3 ～ 6 のいずれか 1 つ及び請求項 2 ～ 6 のいずれか 1 つに記載の半導体装置が形成されてなることを特徴とする相補型の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、より詳細には、半導体基板上にシリコンゲルマニウム膜、炭素添加シリコン膜及びシリコン膜が形成されてなる半導体装置に関する

る。

【0002】

【従来の技術】

近年、シリコンMOSトランジスタの高速化を図るため、これまでのSi-SiO₂からなるMOS界面をチャネルとする従来型のトランジスタに代えて、Si基板と格子定数の異なる材料膜をSi基板上にエピタキシャル成長させることによってヘテロ界面を作製し、その形成した膜における水平方向の圧縮又は引っ張り歪みやバンド構造の不連続性を利用して、高移動度トランジスタを作成する技術研究が最近活発に行われている。

【0003】

例えば、1994年IEDM (International Electron Device Meeting)、p. 373には、図2に示すように、p型Si基板上21に厚さ2.1 μ mの0%から20%のGeの濃度勾配をもつSiGe膜22が形成され、その上に厚さ0.6 μ mのGe濃度20%のSiGe膜23が形成され、さらにその上に厚さ13 nmのSi膜24がエピタキシャル成長により形成され、その上には通常のMOSと同様にゲート酸化膜となるSiO₂膜25、ゲート電極となる多結晶Si膜26が形成されたトランジスタが提案されている。このような構造のトランジスタにおいては、厚膜の濃度勾配を有するSiGe膜22及びGe濃度20%のSiGe膜23は、歪み緩和のために形成されている。よって、SiGe膜23の上面では完全に歪み緩和された状態になっており、このSiGe膜23の上に薄いSi膜24を形成することにより引っ張り歪みを内在するSi膜23が実現される。これにより、nチャネルMOSにおける電子の有効移動度を、ひずみのないSiに対して約50%向上させることができる。

【0004】

また、pMOSの移動度の向上については、1994年IEDM、p. 735において、図3に示すように、n型Si基板31上に厚さ10 nmのGe濃度30%のSiGe膜32、厚さ7 nmのSi膜33が順次エピタキシャル成長により形成され、さらにその上には通常のMOSと同様にゲート酸化膜となるSiO₂膜34、ゲート電極となる多結晶Si膜35が形成されたトランジスタが提案

されている。この構造のトランジスタにおいては、圧縮歪みを内在するSiGe膜32が薄いSi膜33の下に形成されており、その中にチャネルを形成することにより、無歪みのSiに対し、約1.2倍の正孔の移動度向上が得られている。

【0005】

さらに、nMOSとpMOSとの両方を同時に作製する技術として、特開平10-321733号公報に、図4に示すように、pMOS及びnMOSを、nウェル及びpウェルが形成されたSi基板41上に、それぞれSiGe膜42及びSi膜43が順次形成されており、さらにその上に、ゲート絶縁膜44及びゲート電極45が形成されたトランジスタが提案されている。ここでは、nMOSのチャネルは引っ張り歪みのあるSi膜43に、pMOSのチャネルは圧縮歪みのあるSiGe膜42にチャネルを形成するようにしている。

【0006】

また、特開平9-219524号公報には、図5に示すように、Si基板51上に、埋め込み酸化膜52及びSOI膜53が形成されたSOI (Silicon On Insulator) 基板を用いたトランジスタが提案されている。このトランジスタは、SOI基板におけるpMOS領域のSOI膜53及び埋め込み酸化膜52を除去した後、SOI基板上全面にGe濃度30%の厚さ30nmのSiGe膜54をエピタキシャル成長させ、高温アニールすることにより、nMOS領域におけるSOI膜53上のSiGe膜54を歪み緩和した状態にし、その後、厚さ30nm程度のSi膜55をエピタキシャル成長させ、さらに、その上にゲート絶縁膜56及びゲート電極57を形成する。これにより、nMOSは、チャネルとしてSOI膜53上の引っ張り歪みを内在するSi膜55を、pMOSは、チャネルとしてSi基板51上に圧縮歪みを内在するSiGe膜54を利用している。

【0007】

【発明が解決しようとする課題】

上記のトランジスタのうち、図2に示すトランジスタでは、順次Ge濃度高くしたSiGe膜22、23を形成し、SiGe膜23上面では、圧縮歪みが緩和された状態にするとともに、格子定数を大きくすることにより、その上に形成さ

れるSi膜24に強い引っ張り歪みをもたせて移動度を向上させているが、このトランジスタでは、厚いSiGe膜22、23を形成することが必要となり、製造コストが増大するという課題がある。

【0008】

また、図4に示すCMOSトランジスタでは、SiGe膜42として、Ge濃度25～50%で厚さ5～10nmのSiGe膜を形成し、その上にSi膜43を形成することにより、nMOSとpMOSとを同一の構成にしている。よって、Si膜43下のSiGe膜42は、圧縮歪みを内在した状態なので、特にnMOSにおいて電子の移動度の向上が十分でない。

【0009】

つまり、CMOSにおいて、nMOSでの電子の移動度を上げるために、歪み緩和させたSiGe膜42上に引っ張り歪みを内在するSi膜43を形成しているが、そのためには厚いSiGe膜42を形成し、歪み緩和を行う必要があり、pMOSのチャネル構造とnMOSのチャネルの構造とはその構造が大きく異なるため、有効な電子及び正孔の移動度の高いCMOSを同時に作りこむことが困難であった。

【0010】

そこで、図5に示したトランジスタのように、SOI基板を用い、nMOSは埋め込み酸化膜52の上方に薄い膜厚で、歪み緩和したSiGe膜54を形成している。しかし、基板としてSOI基板が必要であり、pMOSのチャネル部分の埋め込み酸化膜52及びSOI層53を除去するために、nMOSとpMOSとの間に段差ができて、製造上好ましくない。また、段差上にエピタキシャル成長する場合には、そこでの結晶性が悪くなり、やはり、有効な電子及び正孔の移動度の高いCMOSを同時に作りこむことが困難であった。

【0011】

【課題を解決するための手段】

本発明によれば、シリコンゲルマニウム膜、炭素添加シリコン膜及びシリコン膜がこの順に形成された半導体基板上に、ゲート酸化膜を介してゲート電極が形成された半導体装置であって、前記炭素添加シリコン膜がチャネル領域として機

能する n チャンネル型半導体装置が提供される。

また、本発明によれば、シリコンゲルマニウム膜、炭素添加シリコン膜及びシリコン膜がこの順に形成された半導体基板上に、ゲート酸化膜を介してゲート電極が形成された半導体装置であって、前記シリコンゲルマニウム膜がチャンネル領域として機能する p チャンネル型半導体装置が提供される。

【 0 0 1 2 】

さらに、本発明によれば、上記 n チャンネル型及び p チャンネル型を同一基板に備えた相補型半導体装置が提供される。

【 0 0 1 3 】

【発明の実施の形態】

本発明の半導体装置は、主として、シリコンゲルマニウム (SiGe) 膜、炭素 (C) 添加シリコン膜及びシリコン膜がこの順に形成された半導体基板上に、ゲート酸化膜を介してゲート電極が形成された、いわゆる MOS トランジスタを構成するものであり、n 型、p 型又は相補型のいずれの MOS トランジスタとしても利用することができる。なお、相補型の半導体装置の場合には、通常、同一の半導体基板上に形成される。

【 0 0 1 4 】

本発明の半導体装置において使用することができる半導体基板としては、シリコン、ゲルマニウム等の元素半導体、GaAs 等の化合物半導体による基板等が挙げられるが、シリコンからなる基板が好ましい。また、シリコンとしては、アモルファス、多結晶、単結晶等が挙げられるが、単結晶シリコンであることが好ましい。なお、半導体基板としては、表面半導体層が上記の半導体により形成される SOI 基板でもよい。

【 0 0 1 5 】

SiGe 膜は、p 型又は相補型半導体装置において使用される場合には、特にゲルマニウムが 10 から 40 atom% 程度含有される膜が好ましい。また、膜厚は、5 から 50 nm 程度であることが好ましい。なお、n 型半導体装置において使用される場合には、上記のゲルマニウム濃度及び膜厚の範囲を超えるものであってもよい。SiGe 膜は、公知の方法、例えば、エピタキシャル成長により

形成することが好ましい。

【0016】

C添加シリコン膜は、n型又は相補型半導体装置において使用される場合には、特に炭素が0.1から1atôm%程度含有される膜が好ましい。また、膜厚は、5から50nm程度であることが好ましい。なお、p型半導体装置において使用される場合には、上記の炭素濃度及び膜厚の範囲を超えるものであってもよい。C添加シリコン膜は、公知の方法、例えば、シリコン及び炭素を含む原料を用いたエピタキシャル成長により形成してもよいし、シリコンを含む原料を用いたエピタキシャル成長によりシリコン膜を形成した後、固相拡散、気相拡散、イオン注入により炭素をドーピングすることにより形成してもよい。

【0017】

シリコン膜は、膜厚5から20nm程度で、エピタキシャル成長により形成することが好ましい。

【0018】

ゲート酸化膜及びゲート電極は、通常MOSトランジスタ等の半導体装置を形成するために使用される膜厚、材料等により、通常形成される方法により形成することができる。

【0019】

以下に本発明の半導体装置を、図面に基づいて詳しく説明する。

【0020】

本発明の半導体装置は、図1(d)に示すように、p型Si基板1上にp型にドーピングされた深さ1 μ m程度のpウェル2と、n型にドーピングされた深さ1 μ m程度のnウェル3が形成されており、これらpウェル2及びnウェル3とは、埋め込み素子分離領域7により分離されている。

【0021】

pウェル2及びnウェル3上には、エピタキシャルSiGe膜4、エピタキシャルC添加Si膜5、エピタキシャルSi膜6がこの順に形成されており、SiO₂膜からなるゲート酸化膜8を介して、多結晶シリコン膜によるゲート電極11が形成され、nMOS及びpMOSが同一基板上に形成されている。

【0022】

p型Si基板1上に成長したSiGe膜4は、Siと同じ結晶構造をもつが、その格子定数がSiよりも数%大きいため水平方向に圧縮歪みが発生している。また、その上に成長したC添加Si膜5は基板Siよりも格子定数が小さいために水平方向に引っ張り歪みが発生する。

【0023】

nMOSは引っ張り歪みをもつC添加Si膜5にチャネルを形成することにより、電子の移動度を向上させ、pMOSは圧縮歪みを内在するSiGe層4中にチャネルを形成することにより、正孔の移動度を向上させることができる。具体的には、SiGe膜4のGe濃度20%でpMOSにおいて約50%の移動度の向上、SiGe膜4の膜厚が5nm（これ以上薄くできない臨界膜厚のため）、Ge濃度40%で約100%の移動度の向上が得られ、MOS駆動電流を約2倍とすることができる。

【0024】

上記半導体装置は、以下のように作成することができる。

【0025】

比抵抗 $5\Omega\cdot\text{cm}$ から $20\Omega\cdot\text{cm}$ のボロンをドーピングしたp型Si基板1上を用いる。このSi基板1のnMOS領域に、公知のフォトリソ技術により形成したレジストマスク（図示せず）を用いて、公知のイオン注入技術により、pウエル2を形成する。レジストマスクを除去した後、同様の技術で、pMOS領域にnウエル3を形成する。このときのイオン注入条件は、トランジスタの設計ルールにより異なるが、例えば $0.35\mu\text{m}$ ルールの場合は、pウエル2はボロンイオン注入エネルギー 200keV 、注入量 $5\times 10^{12}\text{cm}^{-2}$ と 100keV 、 $2\times 10^{12}\text{cm}^{-2}$ を用い、nウエル3はリンイオン注入エネルギー 400keV 、注入量 $5\times 10^{12}\text{cm}^{-2}$ と 200keV $2\times 10^{12}\text{cm}^{-2}$ を用いる。

【0026】

次に、活性化アニールとして拡散炉で 750°C 程度、1時間程度の処理を行う。その後、表面の自然 SiO_2 膜（図示せず）を希HF液で除去し、公知のエピタキシャル成長技術により、 SiH_4 と GeH_4 との混合ガスを用いてGe濃度1

0%から40%、厚さ5nmから50nmのSiGe膜4をSi基板1上全面にヘテロエピタキシャル成長させる。このときGe濃度を高くすればSiGe中に内在する圧縮歪み量を大きくすることができるが、その場合欠陥が発生し始める臨界の膜厚は薄くなるので、その関係で濃度と膜厚を設定する。例えば、Ge濃度40%の時の膜厚は10nm以下に設定する。

【0027】

その後、同一装置内で成長ガスを変更し、 SiH_4 と $\text{Si}(\text{CH}_3)_3\text{H}_3$ との混合ガスを用い、C濃度0.1から2%、膜厚10から50nmのC添加Si膜5をエピタキシャル成長させる。

【0028】

さらに、同一装置内で成長ガスを変更し、 SiH_4 ガスを用いてエピタキシャルSi膜6を、膜厚5から20nmに成長させる。ここで、Si膜6の膜厚は、nMOSのチャネルをC添加Si膜5中に作るために上限が決まっているが、ゲート酸化膜8の膜厚、Si膜6中のドーパント濃度、C添加Si膜5及びSi膜6の伝導帯エネルギーのオフセット値を考慮して、適宜調整する。例えば、ゲート酸化膜8の膜厚が2.5nm、C濃度が0.5%、ドーパント濃度が $3 \times 10^{17} \text{ cm}^{-3}$ の場合、Si膜6の膜厚はゲート酸化時の膜減りを考慮して2～6.5nm程度が好ましい。

【0029】

次に、公知のRTO (Rapid Thermal Oxidation) 法を用いてゲート酸化膜8の形成を行い、その後、公知のCVD法により SiH_4 ガスを用いて550℃で、厚さ100nm程度の多結晶Si膜9を形成する(図1(a))。

【0030】

続いて、公知のフォトリソ技術により形成したレジストマスク(図示せず)を用いて、公知のRIE (Reactive Ion Etching) 法により、 SF_6 ガスを用い、多結晶Si膜9、ゲート酸化膜8も含めて素子分離領域に深さ300から500nmの溝を掘り、公知のCVD法により SiH_4 、 O_2 ガスを用いて溝を SiO_2 で埋め込み、公知のCMP (Chemical Mechanical Polish) 法で素子分離領域以外の SiO_2 膜を除去して平坦化を行う。この場合、CMPは多結晶Si膜9表面で

止めるために、研磨剤として、 SiO_2 の多結晶 Si に対する研磨レートの選択比が高いものを用いることが好ましい。例えば、シリカ(SiO_2)、セリア(CeO_2)、ジルコニア(ZrO_2)、アルミナ(AlO_3)等が挙げられるが、なかでも、セリアスラリーを用いると、その選択比は500以上が得られる。得られた Si 基板1上に多結晶 Si 膜10を公知のCVD法で形成し、図1(b)に示すように、その表面を平坦化する。

【0031】

その後、図2(c)に示すように、公知のフォト技術により形成したレジストマスク(図示せず)を用いて、公知のRIE法で SF_6 ガスを用いて、多結晶 Si 膜10と多結晶 Si 膜9とをゲート電極11に加工する。

【0032】

続いて、図2(d)に示すように、公知のフォト技術によりnMOS領域以外の部分にレジストマスク(図示せず)を形成し、公知のイオン注入法で砒素イオンを注入エネルギー40keV、注入量 $3 \times 10^{15} \text{ cm}^{-2}$ で注入し、ゲート電極11の両側に自己整合的に N^+ 拡散層からなるソース/ドレイン領域12を形成する。同様に、公知のフォト技術によりpMOS領域以外の部分にレジストマスク(図示せず)を形成し、 BF_2 イオンを注入エネルギー40keV、注入量 $3 \times 10^{15} \text{ cm}^{-2}$ で注入し、 P^+ 拡散層からなるpMOSトランジスタのソース/ドレイン領域13を形成する。

【0033】

その後、公知の技術を用いて上部配線との絶縁をするための層間絶縁膜形成、上部配線と接続するためのホール形成、上部配線形成工程を行い、LSI集積回路で用いられるCMOS(Complimentary MOS)を完成させる。

【0034】

【発明の効果】

本発明によれば、 SiGe 膜、C添加シリコン膜及びシリコン膜がこの順に形成された半導体基板上に、ゲート酸化膜を介してゲート電極が形成された半導体装置であって、C添加シリコン膜がチャネル領域として機能するため、電子の移動度を向上させることができる。つまり、ヘテロエピタキシャルにおける結晶の

格子定数の差が大きく、引っ張り歪みの量が大い程、電子の移動度は大きくなるため、 $\text{SiGe} > \text{Si} > \text{SiC}$ の関係にある格子定数の違いを利用して、シリコン膜/C添加シリコン膜/SiGe膜/半導体基板の構造とすることにより、引っ張り歪みをより大きくすることができ、n型半導体装置における電子の移動度を向上し、現在高速化が達成困難で、バイポーラトランジスタでしか達成できていなかった高周波用LSIを実現可能とする。しかも、上記構成により、圧縮歪みを緩和するための厚膜のSiGe膜が不要となり、製造コストの大幅な低減が可能となる。

【 0 0 3 5 】

また、本発明によれば、SiGe膜、C添加シリコン膜及びシリコン膜がこの順に形成された半導体基板上に、ゲート酸化膜を介してゲート電極が形成された半導体装置であって、SiGe膜がチャネル領域として機能するため、正孔の移動度を向上させることができる。つまり、ヘテロエピタキシャルにおける結晶の格子定数の差が大きく、圧縮歪みの量が大い程、正孔の移動度は大きくなるため、 $\text{SiGe} > \text{Si} > \text{SiC}$ の関係にある格子定数の違いを利用して、シリコン膜/C添加シリコン膜/SiGe膜/半導体基板の構造とすることにより、大きな圧縮歪みを利用することができ、p型半導体装置における正孔の移動度を向上させ、より高速化を実現した半導体装置を得ることができる。

【 0 0 3 6 】

特に、SiGe膜が10から40atom%のGeを含有し、5から50nmの膜厚を有する場合、C添加シリコン膜が0.1から1atom%の炭素を含有し、5から50nmの膜厚を有する場合には、n型半導体装置においては十分な引っ張り歪を得ることができ、p型半導体装置においては十分な圧縮歪を得ることができ、電子又は正孔の移動度を最大限に向上させることが可能となるとともに、SiGe膜又はC添加シリコン膜の成膜時における制御を行いながら、Ge又はCの含有量を確保することができる。

【 0 0 3 7 】

また、半導体基板がシリコン単結晶基板である場合には、その上に形成されるSiGe膜及びC添加シリコン膜を単結晶として得ることができ、電子又は正孔

の移動度を向上させることができる。

【0038】

さらに、半導体基板がSOI基板である場合には、半導体装置を構成するソース/ドレイン間の寄生容量を低減することができるため、より高速動作を実現する半導体装置を提供することができる。

【0039】

また、同一半導体基板上に、上記n型及びp型の半導体装置が形成されてなる場合には、電子は引っ張り歪みを内在するC添加Si膜、正孔は圧縮歪みを内在するSiGe膜によりチャネル領域を形成することができるため同一構造で相補型の半導体装置を形成することができ、電子及び正孔の双方の移動度を、従来の半導体装置の約2倍向上させることを可能としながら、従来問題となっていた段差等の発生を生じさせることなく、シンプルな構造の半導体装置を提供することができる。また、n型半導体装置における電子の移動度を向上できることで現在高速化が達成困難で、バイポーラトランジスタでしか達成できていなかった高周波用LSIが相補型の半導体装置、例えば、CMOSで製造可能となり、製造コストの大幅な低減が可能となる。

【図面の簡単な説明】

【図1】

本発明の半導体装置の製造方法を説明するための要部の概略断面工程図である。

【図2】

従来のnMOSトランジスタの構成を説明するための要部の概略断面図である。

【図3】

従来のpMOSトランジスタの構成を説明するための要部の概略断面図である。

【図4】

従来のCMOSトランジスタの構成を説明するための要部の概略断面図である。

【図 5】

従来の CMOS トランジスタの構成を説明するための要部の概略断面図である

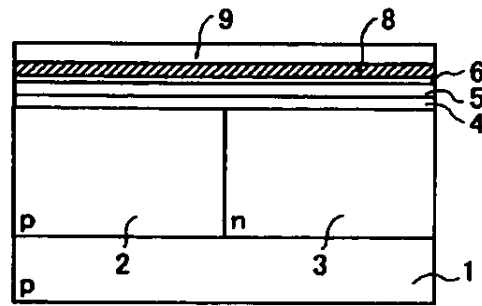
【符号の説明】

- 1 p 型 S i 基板
- 2 p ウエル
- 3 n ウエル
- 4 S i G e 膜
- 5 C 添加 S i 膜
- 6 S i 膜
- 7 埋め込み素子分離領域
- 8 ゲート酸化膜
- 9、10 多結晶 S i 膜
- 11 ゲート電極
- 12、13 ソース／ドレイン領域

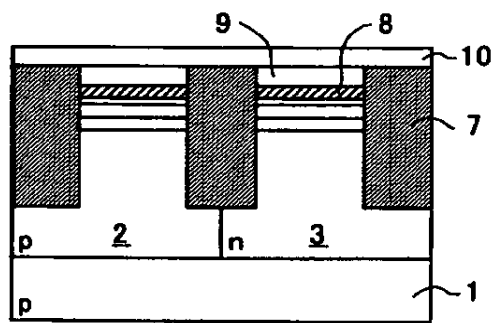
【書類名】

図面

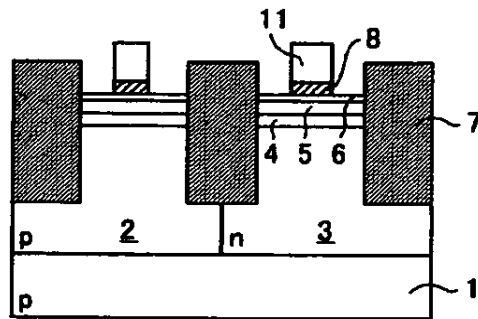
【図1】



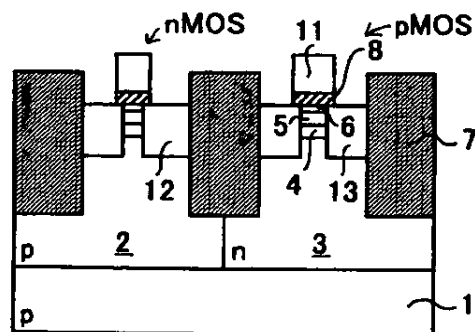
(a)



(b)

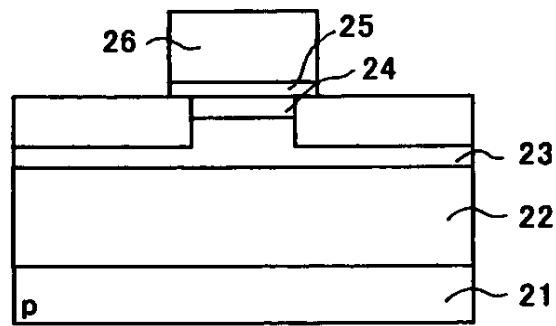


(c)

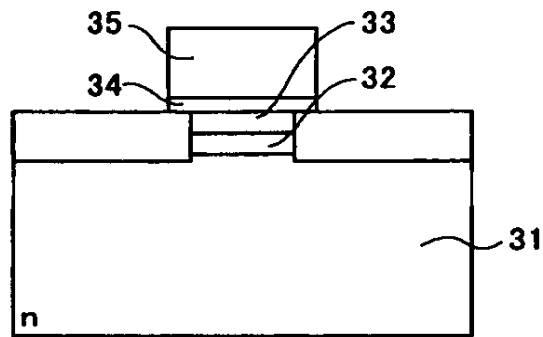


(d)

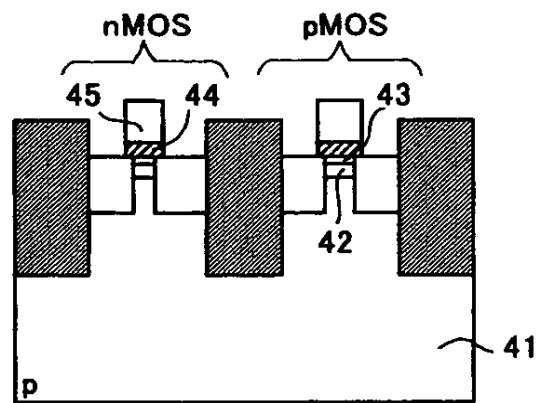
【図 2】



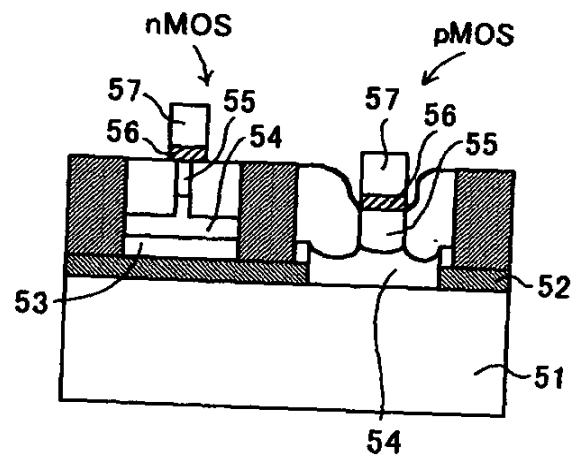
【図 3】



【図 4】



【図5】



【書類名】 要約書

【要約】

【課題】 製造コストの大幅な低減を図りながら、引っ張り歪みをより大きくして、nMOSトランジスタの移動度を向上し、現在高速化が達成困難で、バイポーラトランジスタでしか達成できていなかった高周波用LSIを実現可能とすることを目的とする。

【解決手段】 シリコンゲルマニウム膜、炭素添加シリコン膜及びシリコン膜がこの順に形成された半導体基板上に、ゲート酸化膜を介してゲート電極が形成された半導体装置であって、前記炭素添加シリコン膜がチャネル領域として機能するnチャネル型半導体装置。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 大阪府大阪市阿倍野区長池町22番22号
氏 名 シャープ株式会社